

Puces : la bataille du dernier nanomètre

La miniaturisation des processeurs est un vrai casse-tête, où chaque étape de fabrication doit trouver des solutions. Certaines parties, comme le réseau d'interconnexions des transistors, posent encore des problèmes. Trois technologies sont en lice pour les résoudre.

L'industrie microélectronique suit une logique immuable : miniaturiser les composants pour en augmenter le nombre par puce et gagner ainsi en puissance. Les derniers microprocesseurs comptent plusieurs dizaines de millions de transistors dont la finesse atteint désormais 130 nanomètres – 1 nanomètre (nm) mesure 1 milliardième de mètre. Mais, parallèlement, il faut aussi miniaturiser le réseau d'interconnexions entre ces transistors. Car ce microcircuit électronique en cuivre est un réseau tridimensionnel, un empilement de 8 étages sur 4 microns de haut que l'on dépose sur les transistors. La longueur totale des interconnexions mises bout à bout serait de l'ordre de 4 km sur une puce de 1 cm² !

Pour chaque étage d'interconnexion, de fines tranchées sont gravées par lithographie dans une couche de matériau isolant, puis remplies de cuivre, formant ainsi les nanofils d'interconnexion. Ces tranchées mesurent actuellement 180 nm de large et environ 500 nm de profondeur. En 2006, elles devront faire 32 nm de large. Or, pour éviter fuites de courant et court-circuits, les tranchées et les contacts (qui relient deux étages) doivent être recouverts de plusieurs couches protectrices, qui elles aussi devront s'affiner : une couche de colmatage pour boucher les pores de l'isolant en surface, une couche dite " barrière " pour éviter la diffusion du cuivre dans l'isolant, et enfin une couche dite " de germination " qui assure une parfaite adhésion des nanofils de cuivre. Actuellement, la couche barrière mesure environ 10 nm et la couche de germination environ 20 nm. C'est beaucoup trop pour la future taille des tranchées. Il faut donc trouver des solutions.

Aujourd'hui, ces couches sont déposées par des techniques de projection comme la PVD (" physical vapor deposition "). Mais au-delà de 2007 (date prévue de la production de transistors de 65 nm), la technique, que certains équipementiers microélectroniques, comme Applied Materials, tentent de pousser à ses limites, risque de ne plus apporter satisfaction.

Une technologie concurrente, l'ALD (" atomic layer chemical vapor deposition "), semble plus prometteuse : " Nous sommes capables de déposer des couches barrières de 2 nm en ALD ", affirme Ivo Raaijmakers, d'ASM International, un des principaux équipementiers. En revanche, l'ALD n'apporte pas encore de solution satisfaisante pour la couche de germination : bien qu'adhérente et homogène, elle ne serait pas assez fine.

Une solution électrochimique

Une troisième méthode proposée par une start-up française, l'électrogreffage, pourrait bien apporter une solution : " Nos premières expérimentations montrent que l'on peut déposer des couches de germination de 2 nm, homogènes et qui épousent parfaitement le relief des tranchées ", affirme Christophe Bureau, PDG d'Alchimer, essaimage du Commissariat à l'énergie atomique (CEA) créé en août 2001.

Alchimer, qui compte actuellement 13 personnes et a levé 4,8 millions d'euros en décembre dernier, est spécialisé dans le dépôt de films de faible ou très faible épaisseur (jusqu'à quelques nanomètres), notamment organiques. Il vise des marchés de produits biomédicaux comme les " stents ", ces petits ressorts qui traitent les artères bouchées, qu'il faut revêtir d'une fine couche de polymère adhérente, biocompatible et active, par exemple antirejet. " Nous travaillons aussi sur des applications microélectroniques avec le Laboratoire d'électronique et de technologies de l'information (Leti) du CEA, notamment les couches de germination ", explique Christophe Bureau.

L'électrogreffage est une technique électrochimique. Des espèces chimiques présentes dans un bain liquide migrent entre une électrode et la pièce à revêtir. Le dépôt est contrôlé par le biais des conditions électriques. " L'électrogreffage de couches de germination nécessite des bains très spécifiques et des protocoles électriques adaptés, fruits de dix années de travaux de recherche menés au CEA ", précise Christophe Bureau.

Selon Gérard Passemard, spécialiste des interconnexions chez STMicroelectronics, à Crolles (Isère), et détaché au Leti où il est responsable du laboratoire dépôt couches minces, " l'électrogreffage pourrait trouver de nombreux débouchés en microélectronique. D'ici à la fin de l'année, nous devons décider des technologies à développer pour qu'elles soient opérationnelles vers 2007. Selon nos investigations, l'ALD sera

probablement la solution retenue pour les prochaines générations de puces, mais elle n'a pas prouvé sa faisabilité pour déposer des couches de germination. On peut penser que l'électrodeposition pourrait constituer une véritable solution alternative peu coûteuse a priori, car elle ne nécessite pas l'utilisation d'équipements sous vide [contrairement à l'ALD et la PVD, NDLR]. La technique, qui demandera à être complètement validée, devrait être compatible avec les procédés de fabrication actuels et valable pour plusieurs générations de circuits."

Reste à démontrer sa faisabilité à plus grande échelle avant de la tester sur des lignes pilotes industrielles comme celle de Crolles, où collaborent STMicroelectronics, Philips et Motorola. A terme, Alchimer espère proposer sa technologie sous licence à des équipementiers.

ISABELLE BELLIN